

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-076057

(43)Date of publication of application : 15.03.2002

(51)Int.Cl.

H01L 21/60  
H01L 21/56  
H01L 25/04  
H01L 25/18

(21)Application number : 2000-262511

(71)Applicant : HITACHI LTD

(22)Date of filing : 31.08.2000

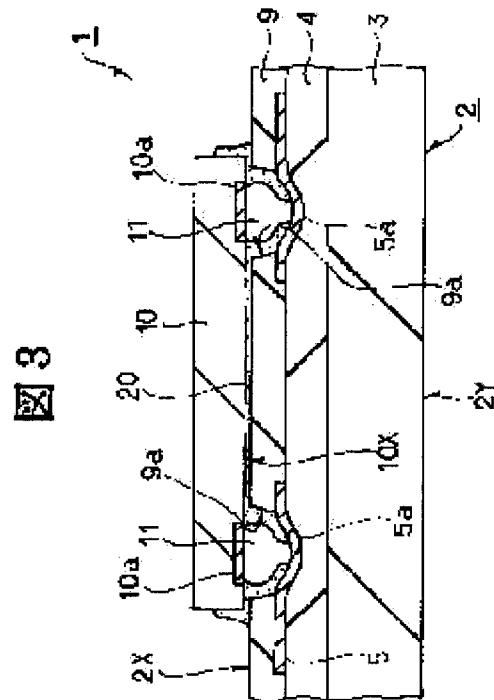
(72)Inventor : IMASU SEISHI  
YOSHIDA IKUO  
KISHIKAWA NORIO  
SUMI YOSHIYUKI  
TAGUCHI KAZUYUKI  
NAITO TAKAHIRO  
SATO TOSHIHIKO

## (54) ELECTRONIC DEVICE AND MANUFACTURING METHOD THEREFOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress an inclination of a semiconductor chip to a main surface of a circuit board.

**SOLUTION:** This electronic device comprises a semiconductor chip having plural electrode pads on its main surface, a circuit board having plural connecting parts on the main surface, and plural projecting electrodes arranged between each of the electrode pads of the semiconductor chip and each of the connecting parts of the circuit board in order to electrically connect each other. These plural projecting electrodes are positioned in the manner that the semiconductor chip is in unbalanced arrangement to the main surface of the circuit board. The plural connecting parts are placed at a deeper position than that of the main surface of the circuit board in the depth direction.



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-76057

(P2002-76057A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	特許出願公開番号
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60	3 1 1 S 5 F 0 4 4
21/56		21/56	C 5 F 0 6 1
25/04		21/92	6 0 4 J
25/18		25/04	Z

審査請求 未請求 請求項の数32 O L (全 19 頁)

(21) 出願番号 特願2000-262511(P2000-262511)

(22) 出願日 平成12年8月31日 (2000.8.31)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 今須 誠士

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(72) 発明者 吉田 賢生

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100083652

弁理士 秋田 収喜

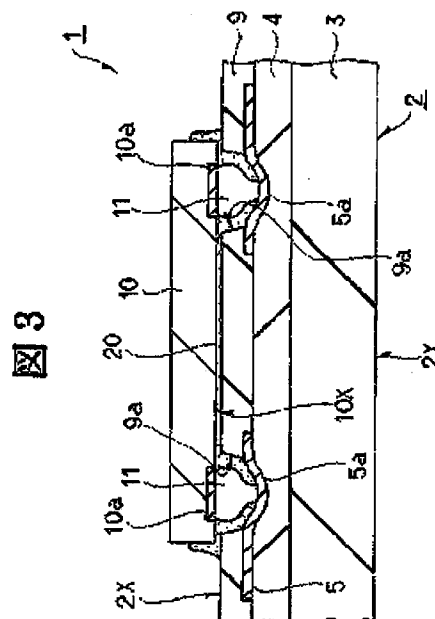
最終頁に続く

(54) 【発明の名称】 電子装置及びその製造方法

(57) 【要約】

【課題】 配線基板の一主面に対する半導体チップの傾きを抑制する。

【解決手段】 一主面に複数の電極パッドを有する半導体チップと、一主面に複数の接続部を有する配線基板と、前記半導体チップの前記各電極パッドと前記配線基板の前記各接続部との間に配置され、かつ夫々を電気的に接続する複数の突起状電極であって、前記配線基板の一主面に対して前記半導体チップのバランスがとれない配列で配置された複数の突起状電極とを有する電子装置であって、前記複数の接続部は、前記配線基板の一主面から深さ方向に向かって前記配線基板の一主面よりも深い位置に配置されている。



(2)

特開2002-76057

1

2

【特許請求の範囲】

【請求項1】 一主面に複数の電極パッドを有する半導体チップと、  
一主面に複数の接続部を有する配線基板と、  
前記半導体チップの前記各電極パッドと前記配線基板の前記各接続部との間に配置され、かつ夫々を電気的に接続する複数の突起状電極とを有し、前記配線基板の一主面に対して前記半導体チップのバランスがとれない配列で配置された複数の突起状電極とを有し、  
前記複数の接続部は、前記配線基板の一主面から深さ方向10 に向かって前記配線基板の一主面よりも深い位置に配置されていることを特徴とする電子装置。

【請求項2】 請求項1に記載の電子装置において、  
前記配線基板は、その一主面に形成された絶縁膜と、前記絶縁膜に形成された開口とを有し、  
前記複数の接続部は、前記開口の底部に配置されていることを特徴とする電子装置。

【請求項3】 請求項2に記載の電子装置において、  
前記絶縁膜は、前記半導体チップの周縁を跨って存在していることを特徴とする電子装置。

【請求項4】 請求項2に記載の電子装置において、  
前記開口の平面サイズは、前記半導体チップの平面サイズよりも小さく、  
前記絶縁膜の平面サイズは、前記半導体チップの平面サイズよりも大きいことを特徴とする電子装置。

【請求項5】 請求項1に記載の電子装置において、  
前記半導体チップは、接着用樹脂を介して前記配線基板に接着されており、  
前記突起状電極は、前記配線基板の接続部に圧接されていることを特徴とする電子装置。

【請求項6】 請求項5に記載の電子装置において、  
前記接着用樹脂は、絶縁性樹脂に多数の導電性粒子が混入された異方導電性樹脂であることを特徴とする電子装置。

【請求項7】 請求項1に記載の電子装置において、  
前記複数の突起状電極の夫々はスタッドバンプであることを特徴とする電子装置。

【請求項8】 請求項1に記載の電子装置において、  
前記複数の突起状電極の夫々は半田バンプであることを特徴とする電子装置。

【請求項9】 請求項1に記載の電子装置において、  
前記配線基板は、多層配線構造からなり、  
前記複数の接続部の夫々は、前記配線基板の最上層の配線層に形成された複数の配線の夫々の一部分であることを特徴とする電子装置。

【請求項10】 請求項1に記載の電子装置において、  
前記半導体チップは、平面が方形で形成され、  
前記複数の突起状電極は、前記半導体チップの一主面を一方方向に三等分した三つの領域のうちの何れかの領域に配置されていることを特徴とする電子装置。

【請求項11】 請求項10に記載の電子装置において、  
前記複数の突起状電極は、一方方向に沿って一列状に配置されていることを特徴とする電子装置。

【請求項12】 請求項1に記載の電子装置において、  
前記複数の突起状電極は、一方方向に沿って一列状に配置され、かつ前記一方方向に対して交差する方向には配置されていないことを特徴とする電子装置。

【請求項13】 一主面に一方方向に沿って一列状に配置された複数の電極パッドと、前記各電極パッド上に夫々個別に配置された複数の突起状電極とを有する半導体チップと、  
一主面から深さ方向に向かって前記一主面よりも深い位置に、前記複数の突起状電極と対応して配置された複数の接続部を有する配線基板とを準備する工程と、  
前記配線基板の一主面と前記半導体チップの一主面との間に接着用樹脂を介し、前記配線基板の一主面に前記半導体チップを圧着して、前記各接続部に前記突起状電極を夫々電気的に接続する工程とを備えたことを特徴とする電子装置の製造方法。

【請求項14】 請求項13に記載の電子装置の製造方法において、  
前記配線基板は、その一主面に形成された絶縁膜と、前記絶縁膜に形成された開口とを有し、  
前記複数の接続部は、前記開口の底部に配置されていることを特徴とする電子装置の製造方法。

【請求項15】 請求項14に記載の電子装置の製造方法において、  
前記絶縁膜は、前記半導体チップの周縁を跨って存在していることを特徴とする電子装置の製造方法。

【請求項16】 請求項14に記載の電子装置において、  
前記開口の平面サイズは、前記半導体チップの平面サイズよりも小さく、  
前記絶縁膜の平面サイズは、前記半導体チップの平面サイズよりも大きいことを特徴とする電子装置の製造方法。

【請求項17】 一主面に第1配列ピッチで配置された複数の第1電極パッドを有する第1半導体チップと、  
一主面に前記第1配列ピッチよりも小さい第2配列ピッチで配置された複数の第2電極パッドを有する第2半導体チップと、  
一主面の第一領域に、前記複数の第1電極パッドと対応して配置された複数の第1接続部と、前記一主面の第1領域と異なる第2領域に、前記複数の第2電極パッドと対応して配置された複数の第2接続部とを有する配線基板と、  
前記第1電極パッドと前記第1接続部との間に配置され、かつ夫々を電気的に接続する複数の第1突起状電極と、

50

(3)

特開2002-76057

3

4

前記各第2電極パッドと前記各第1接続部との間に配置され、かつ夫々を電気的に接続する複数の第2突起状電極とを有し、

前記複数の第1接続部及び前記複数の第2接続部は、前記配線基板の一主面から深さ方向に向かって前記配線基板の一主面よりも深い位置に配置され、

前記複数の第2突起状電極は、前記複数の第1突起状電極よりも段数が多い多段バンパ構造になっていることを特徴とする電子装置。

【請求項18】 請求項17に記載の電子装置において、

前記配線基板は、その一主面に形成された絶縁膜と、前記一主面の第1領域において前記絶縁膜に形成された第1開口と、前記一主面の第2領域において前記絶縁膜に形成された第2開口とを更に有し、

前記複数の第1接続部は、前記第1開口の底部に配置され、

前記複数の第2接続部は、前記第2開口の底部に配置されていることを特徴とする電子装置。

【請求項19】 請求項17に記載の電子装置において、

前記第2突起状電極は、前記第2半導体チップの第2電極パッドに接続された基部バンパと、前記基部バンパに積み重ねられた重ねバンパとを有する多段バンパ構造になっていることを特徴とする電子装置。

【請求項20】 請求項17に記載の電子装置において、

前記第2突起状電極は、前記第2半導体チップの第2電極パッドに接続された基部バンパと、前記基部バンパに積み重ねられた第1重ねバンパと、前記第1重ねバンパに積み重ねられた第2重ねバンパとを有する多段バンパ構造になっていることを特徴とする電子装置。

【請求項21】 請求項17に記載の電子装置において、

前記第1及び第2突起状電極は、スタッドバンパであることを特徴とする電子装置。

【請求項22】 請求項17に記載の電子装置において、

前記配線基板は、多層配線構造からなり、前記複数の第1及び第2接続部は、前記配線基板の最上層の配線層に形成された複数の配線の夫々の一部分であることを特徴とする電子装置。

【請求項23】 請求項17に記載の電子装置において、

前記第1及び第2半導体チップは、接着用樹脂を介して前記配線基板に接着されていることを特徴とする電子装置。

【請求項24】 請求項23に記載の電子装置において、

前記接着用樹脂は、絶縁性樹脂に多数の導電性粒子が混

入された異方導電性樹脂であることを特徴とする電子装置。

【請求項25】 一主面に第1配列ピッチで配置された複数の第1電極パッドと、前記各第1電極パッドに夫々個別に接続された複数の第1突起状電極とを有する第1半導体チップと、

一主面に前記第1配列ピッチよりも小さい第2配列ピッチで配置された複数の第2電極パッドと、前記各第2電極パッドに夫々個別に接続され、かつ前記第1突起状電極よりも段数が多い多段バンパ構造からなる複数の第2突起状電極とを有する第2半導体チップと、

一主面に形成された絶縁膜と、前記一主面の第1領域において前記絶縁膜に形成された第1開口と、前記一主面の第1領域と異なる第2領域において前記絶縁膜に形成された第2開口と、前記第1開口の底部に前記複数の第1突起状電極と対応して配置された複数の第1接続部と、前記第2開口の底部に前記複数の第2突起状電極と対応して配置された複数の第2接続部とを有する配線基板とを準備する工程と、

前記配線基板の一主面の第1領域と前記第1半導体チップの一主面との間に第1接着用樹脂を介し、前記配線基板の一主面の第1領域に前記第1半導体チップを圧着して、前記各第1接続部に前記各第1突起状電極を夫々電気的に接続する工程と、

前記配線基板の一主面の第2領域と前記第2半導体チップの一主面との間に第2接着用樹脂を介し、前記配線基板の一主面の第2領域に前記第2半導体チップを圧着して、前記各第2接続部に前記各第2突起状電極を夫々電気的に接続する工程とを備えたことを特徴とする電子装置の製造方法。

【請求項26】 一主面に第1電極パッドを有する第1半導体チップと、

一主面に前記第1電極パッドよりも平面積が小さい第2電極パッドを有する第2半導体チップと、

一主面に形成された絶縁膜と、前記一主面の第1領域において前記絶縁膜に形成された第1開口と、前記一主面の第1領域と異なる第2領域において前記絶縁膜に形成された第2開口と、前記第1開口の底部に配置された第1接続部と、前記第2開口の底部に配置された第2接続部とを有する配線基板と、

前記第1電極パッドと前記第1接続部との間に配置され、かつ夫々を電気的に接続する第1突起状電極と、前記第2電極パッドと前記第2接続部との間に配置され、かつ夫々を電気的に接続する第2突起状電極とを有し、

前記第2突起状電極は、前記第1突起状電極よりも段数が多い多段バンパ構造になっていることを特徴とする電子装置。

【請求項27】 一主面に電極パッドを有する半導体チップと、

(4)

特開2002-76057

5

一主面の表層部に接続部を有する配線基板と、  
前記半導体チップの前記電極パッドと前記配線基板の前記接続部との間に配置され、かつ夫々を電気的に接続する突起状電極とを有し、  
前記接続部は、前記配線基板の一主面から深さ方向に向かって前記配線基板の一主面よりも深い位置に配置され、  
前記突起状電極は、多段バンパ構造になっていることを特徴とする電子装置。

【請求項28】 一主面に電極パッドを有する半導体チップと、  
一主面に形成された絶縁膜と、前記絶縁膜に形成された開口と、一部分が前記開口の底部に配置され、かつ他の部分が前記絶縁膜で覆われた配線とを有する配線基板と、

前記電極パッドと前記配線の一部分との間に配置され、かつ夫々を電気的に接続する突起状電極と、  
前記半導体チップと配線基板との間及び前記開口の内部に配置された接着剤とを有し、  
前記配線の他の部分上における前記絶縁膜の厚さが20

【μm】以下となっていることを特徴とする電子装置。

【請求項29】 半導体チップと、  
前記半導体チップの一主面上に配置された複数の突起状電極と、  
配線基板と、  
前記配線基板の一主面に形成された開口と、  
前記開口の底部に形成されており、前記突起状電極の各々に接続する複数の接続部とを有し、  
前記複数の突起状電極は、前記半導体チップの一主面の第1の中心線の周囲に配置されていることを特徴とする

電子装置。  
【請求項30】 半導体チップと、  
前記半導体チップの一主面上に配置された複数の突起状電極と、  
配線基板と、  
前記配線基板の一主面に形成された開口と、  
前記開口の底部に形成されており、前記突起状電極の各々に接続する複数の接続部とを有し、  
前記複数の突起状電極は、前記半導体チップの一主面の第1の直線の周囲に配置されていることを特徴とする

電子装置。  
【請求項31】 請求項30に記載の電子装置において、

前記半導体チップの一主面は長方形であり、  
前記第1の直線は、前記半導体チップの一主面の2本の短い辺に交わることを特徴とする電子装置。

【請求項32】 半導体チップと、  
前記半導体チップの一主面上に配置された複数の突起状電極と、  
配線基板と、

6

前記配線基板の一主面に形成された開口と、  
前記開口の底部に形成されており、前記突起状電極の各々に接続する複数の接続部とを有する電子装置であって、

前記半導体チップの一主面上において、前記複数の突起状電極を結んで形成される多角形の内部に前記半導体チップの重心を含まないことを特徴とする電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子装置及びその製造技術に関し、特に、フリップチップ実装技術を採用する電子装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】電子装置として、MCM (Multi Chip Module) と呼称される電子装置が知られている。MCMは、集積回路が内蔵された複数の半導体チップを配線基板上に実装し、一つのまとまった機能を構成している。このMCMにおいては、データ転送速度の高速化や小型化を図るため、回路形成面の電極パッド上に突起状電極が形成された半導体チップ（フリップチップ）を用いて配線基板上に実装するフリップチップ実装技術の採用が活発になっている。

【0003】フリップチップ実装技術においては、種々な実装方式が提案され、実用化されている。例えば、CCB (Controlled Collapse Bonding) 実装と呼称される方式やACF (Anisotropic Conductive Film) 実装と呼称される方式が実用化されている。

【0004】CCB実装方式は、半導体チップの電極パッド上にバンパ電極（突起状電極）として例えばボール形状の半田バンパを形成し、その後、配線基板上に半導体チップを配置し、その後、半田バンパを溶融する熱処理を施して、配線基板の配線の一部分である接続部と半導体チップの電極パッドとを電気的にかつ機械的に接続する方式である。このCCB実装方式については、例えば工業調査会から発行された電子材料（1996年、4月号、第14頁乃至第19頁）に記載されている。

【0005】ACF実装方式は、半導体チップの電極パッド上にバンパ電極（突起状電極）として例えば金（Au）からなるスタッドバンパを形成し、その後、配線基板上に接着剤としてシート形状の異方導電性樹脂（ACF）を介して半導体チップを配置し、その後、加熱しながら配線基板に半導体チップを圧着して、配線基板に半導体チップを接着固定すると共に、配線基板の接続部にスタッドバンパを電気的に接続する方式である。異方導電性樹脂とは、絶縁性樹脂の中に多数の導電性粒子が分散して混入されたものである。このACF実装方式については、例えば特開平4-345041号公報、並びに特開平5-175280号公報にに記載されている。

50

7

【0006】

【発明が解決しようとする課題】本発明者等は、前述のフリップチップ実装技術について検討した結果、以下の問題点を見出した。

【0007】(1) 半導体チップのパッド配列には様々な配列形態がある。その中の一つに、半導体チップの回路形成面のX方向又はY方向の中心線に沿う中央領域にその中央領域に沿って複数の電極パッドを一行状に配列した中央パッド配列がある。この中央パッド配列は、例えば記憶回路としてDRAM (Dynamic Random Access Memory) が内蔵された半導体チップ等に採用されている。

【0008】例えばDRAMの場合、電極パッド（ボンディングパッド）の配置に対しては以下のような要求がある。配線インダクタンス低減のために入出力回路の近傍に配置する。また、ボンディング工程による素子の損傷を防ぐために、電極パッドの真下には半導体素子を形成しない。また、動作速度向上の目的から、入出力回路からメモリマットの最も遠い部分までの距離をなるべく近づけたい。これらの要求からDRAMチップ上のレイアウトは図21の様であり、チップの長辺方向に沿ってチップ中央部分に配列される。図21において、30はDRAMチップ、MARYはメモリアレイ、PCは周辺回路、I/Oは入出力回路、BPは電極パッドである。

【0009】中央パッド配列の場合、各電極パッド上に形成されたバンパ電極の配列も中央バンパ配列となる。このような半導体チップをフリップチップ実装に用いた場合、半導体チップのバランスがとれないため、配線基板の一面に対して半導体チップが傾いてしまう。従って、中央パッド配列の半導体チップにおいてはフリップチップ実装することが困難である。半導体チップのバランスがとれないパッド配列（バンパ配列）としては、中央パッド配列の他に、例えば半導体チップの互いに対向する二つの辺のうちの一方の辺側にその一方の辺に沿って複数の電極パッドを一行状に配列した一辺パッド配列（一辺バンパ配列）等がある。

【0010】(2) ACF実装方式において、スタッドバンパは、配線基板と半導体チップとの間に介在された異方導電性樹脂の熱収縮力（加熱状態から常温状態に戻った時に生じる収縮力）や熱硬化収縮力（熱硬化性樹脂の硬化時に生じる収縮力）等によって、配線基板の接続部に圧接されている。一方、異方導電性樹脂は一般的にスタッドバンパよりも熱膨張率が大きいので、異方導電性樹脂の厚さ方向における膨張量はスタッドバンパの高さ方向における膨張量よりも大きい。このようなことから、熱の影響によって配線基板の接続部からスタッドバンパが離れてしまうといった接続不良の発生が懸念されるため、配線基板と半導体チップとの間における異方導電性樹脂の体積を出来るだけ小さくする必要がある。

【0011】そこで、配線基板と半導体チップとの間に

(5)

特開2002-76057

8

おける異方導電性樹脂の体積を小さくする技術が、例えば特開平10-270496号公報に開示されている。この公開公報に開示された技術は、同公開公報の図12に示されているように、「リジッド基板からなる配線基板19に溝19Aが形成され、溝19A内に電極パッド4Aが形成され、溝19A内において、電極パッド4Aとバンパ電極15とが接続された構成とすることにより、配線基板の最上層の絶縁膜が無く、電極パッド4A及び最上層配線が剥き出しの場合に比べて、溝19Aの深さに相当する分、配線基板19と半導体チップ10との間の隙間が狭くなるので、配線基板19と半導体チップ10との間に介在される接着材（異方導電性樹脂）16の厚さを薄くできる。」というものである。

【0012】しかしながら、配線基板に溝を設け、この溝の内部において、配線基板の電極パッド（接続部）とバンパ電極（スタッドバンパ）とを接続する構成とした場合、新たな問題が生じる。

【0013】半導体チップの電極パッドは、電極パッドの配列ピッチ（パッド配列ピッチ）によって平面サイズが律則されるため、パッド配列ピッチが狭くなるに従って小さくなる。電極パッドの縮小に伴って、スタッドバンパの直径を小さくするために、より細い金ワイヤによってスタッドバンパを形成すると、それに伴ってスタッドバンパの高さも小さくなる。即ち、パッド配列ピッチが異なるとスタッドバンパの高さも異なる。

【0014】一方、MCM等の電子装置においては、集積度や機能が異なる数種類の半導体チップを一つの配線基板上に実装する場合があるが、これらの半導体チップのパッド配列ピッチは必ずしも同一ではない。パッド配列ピッチが異なる場合、スタッドバンパの高さも異なるため、配線基板の一面からその接続部までの深さよりもスタッドバンパの高さが高い半導体チップにおいては、配線基板の接続部とスタッドバンパとの接続を容易に行うことができるが、配線基板の一面からその接続部までの深さよりもスタッドバンパの高さが低い半導体チップにおいては、配線基板の接続部とスタッドバンパとの接続が困難となる。

【0015】配線基板上に実装する半導体チップのうち、スタッドバンパの高さが最も小さい半導体チップに合わせて配線基板の接続部の深さ位置を設定すれば、スタッドバンパの高さが低い半導体チップにおいても配線基板の接続部にスタッドバンパを接続することができるが、このように設定した場合、スタッドバンパの高さが高い半導体チップにおいて、配線基板との間に介在される異方導電性樹脂の体積が大きくなってしまい、熱の影響によって配線基板の接続部からスタッドバンパが離れてしまうといった接続不良の発生が懸念される。

【0016】本発明の目的は、配線基板の一面に対する半導体チップの傾きを抑制することが可能な技術を提供することにある。

50

【0017】本発明の他の目的は、パッド配列ピッチが異なる数種類の半導体チップを一つの配線基板上に実装することが可能な技術を提供することにある。

【0018】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0019】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0020】(1) 本発明の電子装置は、一主面に複数の電極パッドを有する半導体チップと、一主面に複数の接続部を有する配線基板と、前記半導体チップの前記各電極パッドと前記配線基板の前記各接続部との間に配置され、かつ夫々を電気的に接続する複数の突起状電極とを有し、前記複数の接続部は、前記配線基板の一主面から深さ方向に向かって前記配線基板の一主面よりも深い位置に配置されている。前記配線基板は、その一主面に形成された絶縁膜と、前記絶縁膜に形成された開口とを有し、前記複数の接続部は、前記開口の底部に配置されている。

【0021】前記絶縁膜は、前記半導体チップの周縁を跨って存在している。前記開口の平面サイズは、前記半導体チップの平面サイズよりも小さく、また、前記絶縁膜の平面サイズは、前記半導体チップの平面サイズよりも大きい。上述した手段(1)によれば、半導体チップをフリップチップ実装する時、配線基板の一主面から接続部までの深さによって突起状電極の高さが吸収されるため、配線基板の一主面に対する半導体チップの傾きを抑制することができる。

【0022】(2) 本発明の電子装置は、一主面に第1パッド配列ピッチで配置された複数の第1電極パッドを有する第1半導体チップと、一主面に前記第1パッド配列ピッチよりも小さい第2パッド配列ピッチで配置された複数の第2電極パッドを有する第2半導体チップと、一主面の第一領域に、前記複数の第1電極パッドと対応して配置された複数の第1接続部と、前記一主面の第1領域と異なる第2領域に、前記複数の第2電極パッドと対応して配置された複数の第2接続部とを有する配線基板と、前記各第1電極パッドと前記各第1接続部との間に配置され、かつ夫々を電気的に接続する複数の第1突起状電極と、前記各第2電極パッドと前記各第2接続部との間に配置され、かつ夫々を電気的に接続する複数の第2突起状電極とを有し、前記複数の第1接続部及び前記複数の第2接続部は、前記配線基板の一主面から深さ方向に向かって前記配線基板の一主面よりも深い位置に配置され、前記複数の第2突起状電極は、前記複数の第1突起状電極よりも段数が多い多段バンパ構造になって

(6)

特開2002-76057

10

いる。前記配線基板は、その一主面に形成された絶縁膜と、前記一主面の第1領域において前記絶縁膜に形成された第1開口と、前記一主面の第2領域において前記絶縁膜に形成された第2開口とを有し、前記複数の第1接続部は、前記第1開口の底部に配置され、前記複数の第2接続部は、前記第2開口の底部に配置されている。前記第2突起状電極は、前記第2半導体チップの第2電極パッドに接続された基部バンパと、前記基部バンパに積み重ねられた重ねバンパとを有する多段バンパ構造になっている。前記第2突起状電極は、前記第2半導体チップの第2電極パッドに接続された基部バンパと、前記基部バンパに積み重ねられた第1重ねバンパと、前記第1重ねバンパに積み重ねられた第2重ねバンパとを有する多段バンパ構造になっている。

【0023】上述した手段(2)によれば、第1及び第2半導体チップをフリップチップ実装する時、第2半導体チップにおいても配線基板の第2接続部に突起状電極を接続することができるため、パッド配列ピッチが異なる第1及び第2半導体チップを一つの配線基板上に実装することができる。

【0024】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0025】(実施形態1) 図1は本発明の実施形態1であるMCM(電子装置)の模式的平面図であり、図2は図1のMCMの模式的断面図であり、図3は図1のMCMに組み込まれたバッファ用チップの実装状態を示す模式的断面図であり、図4は図1のMCMに組み込まれたメモリ用チップの実装状態を示す模式的断面図であり、図5は図1のMCMに組み込まれた制御用チップの実装状態を示す模式的断面図であり、図6は図1のMCMに組み込まれた容量素子の実装状態を示す模式的断面図であり、図7は図1のMCMに組み込まれたバッファ用チップ、メモリ用チップ及び制御用チップのパッド配置を部分的に示す模式的平面図であり、図8は図1のMCMに組み込まれたバッファ用チップ、メモリ用チップ及び制御用チップの概略構成を示す模式的断面図であり、図9は図1のMCMに組み込まれたメモリ用チップの模式的断面図である。

【0026】図1及び図2に示すように、本実施形態のMCM(電子装置)1は、配線基板2の一主面2X上に電子部品として複数の能動部品及び複数の受動部品を搭載し、配線基板2の一主面と対向する裏面(他の主面)2Yに外部接続用端子として複数のボール形状の半田バンパ22を配置した構成となっている。能動部品としては、バッファ回路を内蔵した複数の半導体チップ(以下、バッファ用チップと呼ぶ)10、記憶回路(例えばSDRAM)を内蔵した複数の半導体チップ(以下、メ

(7)

特開2002-76057

11

メモリ用チップと呼ぶ) 12、制御回路を内蔵した1つの半導体チップ(以下、制御用チップと呼ぶ) 14、NAND回路を内蔵した1つの半導体チップ(以下、演算用チップと呼ぶ) 16が用いられている。これらの能動部品は、フリップチップ実装技術によって配線基板2の一主面上に実装されている。受動部品としては、面実装型からなる複数の容量素子(17、18)及び抵抗素子19が用いられている。これらの受動部品は半田リフロー法によって配線基板2の一主面上に実装されている。

【0027】配線基板2は、図3乃至図6に示すように、リジット基板3と、このリジット基板3上にビルドアップ法で形成された柔軟層4と、この柔軟層4上に形成された絶縁膜9とを有する構成となっている。リジット基板3及び柔軟層4は、詳細に図示していないが、多層配線構造となっている。リジット基板3の各絶縁層は例えばガラス繊維にエポキシ系又はポリイミド系の樹脂を含浸させた高弾性樹脂版で形成され、柔軟層4の各絶縁層は例えばエポキシ系の低弾性樹脂で形成され、リジット基板3及び柔軟層4の各配線層は例えば銅(Cu)からなる金属膜で形成されている。絶縁膜9は、例えばポリイミド系の樹脂で形成されている。この絶縁膜9は半田付け部品(本実施形態では17、18、19)に対して実装時の半田濡れ広がりやを制御し、フリップチップ部品(本実施形態では10、12、14)に対しては実装時における接着用樹脂との接着力の確保を担う。

【0028】バッファ用チップ10、メモリ用チップ12、制御用チップ14及び演算用チップ16の平面形状は方形で形成されている。本実施形態において、バッファ用チップ10及びメモリ用チップ12は例えば長方形で形成され、制御用チップ14及び演算用チップ16は例えば正方形で形成されている。

【0029】バッファ用チップ10、メモリ用チップ12、制御用チップ14及び演算用チップ16は、これに限定されないが、主に、半導体基板と、この半導体基板の回路形成面上において絶縁層、配線層の夫々を複数段階重ねた多層配線層と、この多層配線層を覆うようにして形成された表面保護膜(最終保護)とを有する構成となっている。半導体基板は例えば単結晶シリコンで形成され、絶縁層は例えば酸化シリコン膜で形成され、配線層は例えばアルミニウム(Al)又はアルミニウム合金等の金属膜で形成されている。メモリ用チップ12の表面保護膜は、例えばメモリにおける耐α線強度の向上を図ることができるポリイミド系の樹脂で形成されている。バッファ用チップ10、制御用チップ14及び演算用チップ16の表面保護膜は、例えば酸化シリコン又は窒化シリコン等の絶縁膜及び有機絶縁膜で形成されている。なお、演算用チップ16はバッファ用チップ10とはほぼ同様の構成となっているので、演算用チップ16に関しては以下の説明を省略する。

【0030】バッファ用チップ10、メモリ用チップ1

12

2及び制御用チップ14において、各チップの互いに向向する一主面及び他の主面のうちの一主面である回路形成面(10X、12X、14X)には、図3乃至図5及び図7に示すように、複数の電極パッド(10a、12a、14a)が形成されている。各チップの複数の電極パッド(10a、12a、14a)は、各チップの多層配線層のうちの最上層の配線層に形成され、各チップの表面保護膜に形成されたボンディング開口によって露出されている。

【0031】バッファ用チップ10の複数の電極パッド10aは、図7(a)に示すように、バッファ用チップ10の回路形成面10Xの各辺側にこの各辺に沿って配置されている。メモリ用チップ12の複数の電極パッド10aは、図7(b)に示すように、メモリ用チップ12の回路形成面12Xの互いに交差する長辺方向(X方向)及び短辺方向(Y方向)の二つの中心線のうち、長辺方向の中心線に沿う中央領域にこの中央領域に沿って配置されている。制御用チップ14の複数の電極パッド14aは、図7(c)に示すように、制御用チップ14の回路形成面14Xの各辺側にこの各辺に沿って配置されている。即ち、バッファ用チップ10及び制御用チップ14の電極パッドは四辺パッド配列で配置され、メモリ用チップ12の電極パッド12aは中央パッド配列で配置されている。

【0032】バッファ用チップ10の各電極パッド10a上には、図8(a)に示すように、突起状電極として例えば金(Au)からなるスタッドパンプ11が形成されている。メモリ用チップ12の各電極パッド12a上には、図8(b)に示すように、突起状電極として例えばAuからなるスタッドパンプ13が形成されている。制御用チップ14の各電極パッド14a上には、図8(c)に示すように、突起状電極として例えばAuからなるスタッドパンプ15が形成されている。これらのスタッドパンプ(11、13、15)は、例えば、Auワイヤを使用し、熱圧着に超音波振動を併用したボールボンディング法によって形成されている。このボールボンディング法は、Auワイヤの先端部にボールを形成し、その後、超音波振動を与えながらチップの電極パッドにボールを熱圧着し、その後、ボールの部分からAuワイヤを切断してパンプを形成する方法である。従って、電極パッド上に形成されたスタッドパンプは、電極パッドに対して強固に接続されている。

【0033】配線基板1において、柔軟層4の最上層の配線層には、詳細に図示していないが、複数の配線5(図3参照)、複数の配線6(図4参照)、複数の配線7(図5参照)及び複数の電極パッド8(図6参照)が形成されている。

【0034】図3に示すように、複数の配線5の夫々は夫々の一部分からなる接続部5aを有し、この夫々の接続部5aは絶縁膜9に形成された開口9aによって露出



13

されている。複数の配線5の夫々の他の部分は絶縁膜9で覆われている。複数の配線5の夫々の接続部5aは、バッファ用チップ10の複数の電極パッド10aと対応して配置されている。

【0035】図4に示すように、複数の配線6の夫々は夫々の一部分からなる接続部6aを有し、この夫々の接続部6aは絶縁膜9に形成された開口9bによって露出されている。複数の配線6の夫々の他の部分は絶縁膜9で覆われている。複数の配線6の夫々の接続部6aは、メモリ用チップ12の複数の電極パッド12aと対応して配置されている。

【0036】図5に示すように、複数の配線7の夫々は夫々の一部分からなる接続部7aを有し、この夫々の接続部7aは絶縁膜9に形成された開口9cによって露出されている。複数の配線7の夫々の他の部分は絶縁膜9で覆われている。複数の配線7の夫々の接続部7aは、制御用チップ14の複数の電極パッド14aと対応して配置されている。

【0037】図6に示すように、複数の電極パッド8の夫々は絶縁膜9に形成された開口9dによって露出されている。この複数の電極パッド8の夫々は、柔軟層4の最上層の配線層に形成された複数の配線の夫々の一部分で形成され、この複数の配線の夫々の他の部分は絶縁膜9で覆われている。

【0038】複数の接続部5aは開口9aの底部に配置され、複数の接続部6aは開口9bの底部に配置され、複数の接続部7aは開口9cの底部に配置され、複数の電極パッド8は開口9dの底部に配置されている。即ち、配線基板2は、一主面2Xの表層部に、一主面2Xから深さ方向に向かって一主面2Xよりも深い位置に配置された複数の接続部(5a、6a、7a)及び複数の電極パッド8を有する構成となっている。

【0039】図3に示すように、バッファ用チップ10は、その回路形成面10Xが配線基板2の一主面2Xと向かい合う状態で実装されている。バッファ用チップ10と配線基板2との間には接着剤として例えば異方導電性樹脂20が介在され、この異方導電性樹脂20によってバッファ用チップ10は配線基板2に接着固定されている。

【0040】複数のスタッドバンブ11は、バッファ用チップ10の各電極パッド10aと配線基板2の各接続部5aとの間に配置され、夫々を電気的に接続している。スタッドバンブ11は、配線基板2とバッファ用チップ10との間に介在された異方導電性樹脂20の熱収縮力(加熱状態から常温状態に戻った時に生じる収縮力)や熱硬化収縮力(熱硬化性樹脂の硬化時に生じる収縮力)等によって、配線基板2の接続部5aに圧接されている。なお、スタッドバンブ11と配線基板2の接続部5aとの間には異方導電性樹脂20に多数混入された導電性粒子のうちの一部が介在されている。

(8)

特開2002-76057

14

【0041】配線基板2の接続部5aには、配線基板2の深さ方向に窪む凹部が形成されている。この凹部の内部において、スタッドバンブ11と接続部5aとが接続されている。このように、凹部の内部において、スタッドバンブ11と接続部5aとを接続することにより、凹部の窪み量に相当する分、配線基板2の一主面2Xとバッファ用チップ10の回路形成面10Xとの間における異方導電性樹脂20の体積を小さくすることができる。

【0042】スタッドバンブ11は、絶縁膜9に形成された開口9aを通して、開口9aの底に配置された接続部5aと接続されている。即ち、スタッドバンブ11は、配線基板2の一主面2Xから深さ方向に向かってその一主面2Xよりも深い位置に配置された接続部5aと接続されている。このように、配線基板2の一主面よりも深い位置に接続部5aを配置することにより、配線基板2の一主面2Xから接続部5aまでの深さに相当する分、配線基板2の一主面2Xとバッファ用チップ10の回路形成面10Xとの間における異方導電性樹脂20の体積を小さくすることができる。

【0043】接続部5aの凹部は、接続部5a及び柔軟層4の弾性変形によって形成されている。接続部5a及び柔軟層4の弾性変形による凹部は、配線基板2の一主面上にバッファ用チップ10を実装する時の圧着力によって形成することができる。接続部5a及び柔軟層4の弾性変形によって凹部を形成した場合、スタッドバンブ11に接続部5a及び柔軟層4の弾性力が作用するため、スタッドバンブ11と接続部5aとの圧接力が増加する。

【0044】また、異方導電性樹脂20の厚さ方向の影響によって配線基板2の一主面2Xとバッファ用チップ10の回路形成面10Xとの間の間隔が広がり、これに伴ってスタッドバンブ11が上方に移動しても、スタッドバンブ11の移動に追従して接続部5aの凹部の窪み量が増加するため、配線基板2の接続部5aとスタッドバンブ11との接続を確保することができる。

【0045】図4に示すように、メモリ用チップ12は、その回路形成面12Xが配線基板2の一主面2Xと向かい合う状態で実装されている。メモリ用チップ12と配線基板2との間には接着剤として例えば異方導電性樹脂20が介在され、この異方導電性樹脂20によってメモリ用チップ12は配線基板2に接着固定されている。

【0046】複数のスタッドバンブ13は、メモリ用チップ12の各電極パッド12aと配線基板2の各接続部6aとの間に配置され、夫々を電気的に接続している。スタッドバンブ13は、配線基板2とメモリ用チップ12との間に介在された異方導電性樹脂20の熱収縮力や熱硬化収縮力等によって、配線基板2の接続部6aに圧接されている。なお、スタッドバンブ13と配線基板2の接続部6aとの間には、異方導電性樹脂20に多数混

50

15

入された導電性粒子のうちの一部が介在されている。

【0047】配線基板2の接続部6aには、配線基板2の深さ方向に窪む凹部が形成されている。この凹部の内部において、バッファ用チップ10の場合と同様に、スタッドバンブ13と接続部6aとが接続されている。スタッドバンブ13は、絶縁膜9に形成された開口9bを通して、開口9bの底に配置された接続部6aと接続されている。即ち、スタッドバンブ13は、バッファ用チップ10の場合と同様に、配線基板2の一主面2Xから深さ方向に向かってその一主面2Xよりも深い位置に配

置された接続部6aと接続されている。

【0048】図5に示すように、制御用チップ14は、その回路形成面14Xが配線基板2の一主面2Xと向かい合う状態で実装されている。制御用チップ14と配線基板2との間には接着用樹脂として例えば異方導電性樹脂20が介在され、この異方導電性樹脂20によって制御用チップ14は配線基板2に接着固定されている。

【0049】複数のスタッドバンブ15は、制御用チップ14の各電極パッド14aと配線基板2の各接続部7aとの間に配置され、夫々を電気的に接続している。スタッドバンブ15は、配線基板2と制御用チップ14との間に介在された異方導電性樹脂20の熱収縮力や熱硬化収縮力等によって、配線基板2の接続部7aに圧接されている。なお、スタッドバンブ15と配線基板2の接続部7aとの間には異方導電性樹脂20に多数混入された導電性粒子のうちの一部が介在されている。

【0050】配線基板2の接続部7aには、配線基板2の深さ方向に窪む凹部が形成されている。この凹部の内部において、バッファ用チップ10の場合と同様に、スタッドバンブ15と接続部7aとが接続されている。スタッドバンブ15は、絶縁膜9に形成された開口9cを通して、開口9cの底に配置された接続部7aと接続されている。即ち、スタッドバンブ15は、バッファ用チップ10の場合と同様に、配線基板2の一主面2Xから深さ方向に向かってその一主面2Xよりも深い位置に配置された接続部7aと接続されている。

【0051】図6に示すように、容量素子17の電極17aは配線基板2の電極パッド8に半田21によって電気的にかつ機械的に接続されている。容量素子の電極17aと配線基板2の電極パッド8との接続は、半田21の濡れ広がりを制御するため、絶縁膜9に形成された開口9dを通して行われている。なお、容量素子18及び抵抗素子19においても、容量素子17と同様にして実装されている。

【0052】図7に示すように、バッファ用チップ10のパッド配列ピッチP1は、例えば110[μm]程度に設定されている。メモリ用チップ12及び制御用チップ14のパッド配列ピッチ(P2, P3)は、例えば80[μm]程度に設定されている。チップの電極パッドは、パッド配列ピッチによって平面サイズが律則される

(9)

特開2002-76057

16

ため、パッド配列ピッチが狭くなるに従って小さくなる。一方、チップの電極パッド上に形成されるスタッドバンブは電極パッドの平面サイズによって大きさが律則されるため、電極パッドの平面サイズが小さくなるに従って高さが低くなる。即ち、メモリ用チップ12及び制御用チップ14の電極パッド上に形成されたスタッドバンブ(13, 15)は、バッファ用チップ10の電極パッド上に形成されたスタッドバンブ11よりも高さが低くなる。

【0053】配線基板2の一主面2Xからその接続部(5a, 6a, 7a)までの深さよりもスタッドバンブの高さが高いチップにおいては、配線基板2の接続部とスタッドバンブとの接続を容易に行うことができるが、配線基板2の一主面2Xからその接続部までの深さよりもスタッドバンブの高さが低いチップにおいては、配線基板2の接続部とスタッドバンブとの接続が困難となる。

【0054】そこで、パッド配列ピッチが狭い、即ち電極パッドの平面サイズが小さいチップにおいては、スタッドバンブを多段バンブ構造にして高さを稼ぐことが有効である。本実施形態において、バッファ用チップ10のスタッドバンブ11は、図3に示すように、単段バンブ構造になっている。メモリ用チップ12のスタッドバンブ13は、図4に示すように、電極パッド12a上に形成された基部バンブ13aと、この基部バンブ13a上に積み重ねられた重ねバンブ13bとを有する二段バンブ構造となっている。制御用チップ14のスタッドバンブ15は、図5に示すように、電極パッド14a上に形成された基部バンブ13aと、この基部バンブ13a上に積み重ねられた重ねバンブ13bとを有する二段バンブ構造となっている。図8に示すように、スタッドバンブ11の高さT1、スタッドバンブ13の高さT2及びスタッドバンブ15の高さT3は、ほぼ同一となっている。

【0055】このようにして配列ピッチが異なる各チップのスタッドバンブの高さをほぼ同一とすることにより、パッド配列ピッチが狭いメモリ用チップ12及び制御用チップ14においても、配線基板2の接続部(6a, 7a)にスタッドバンブ(13, 15)を接続することができる。

【0056】図7(b)に示すように、メモリ用チップ12の電極パッド12bは、中央パッド配列となっている。これに伴い、図9に示すように、電極パッド12b上に形成されたスタッドバンブ13も中央バンブ配列となる。このようにスタッドバンブ13が中央バンブ配列のメモリ用チップ12をフリップチップ実装に用いた場合、メモリ用チップ12のバランスがとれないため、配線基板2の一主面2Xに対してメモリ用チップ12が傾いてしまう。

【0057】そこで、バランスがとれないバンブ配列の

(10)

特開2002-76057

17

メモリ用チップ12においては、配線基板2の一主面2Xから深さ方向に向かってその一主面2Xよりも深い位置に配線基板2の接続部6aを配置することが有効である。本実施形態において、接続部6aは、図4に示すように、接続部6aよりも上層に形成された絶縁膜9によって、配線基板2の一主面2Xよりも深い位置に配置されている。このようにして接続部6aを配置することにより、メモリ用チップ12をフリップチップ実装する時、配線基板2の一主面2Xから接続部6aまでの深さによってスタッドバンブ13の高さが吸収され、これに伴って配線基板2の一主面2Xと半導体チップ12の回路形成面12Xとの間の間隔が狭くなるため、配線基板2の一主面2Xに対するメモリ用チップ12の傾きを抑制することができる。

【0058】なお、配線基板2の一主面2Xよりも深い位置に接続部6aを配置し、配線基板2の一主面2Xに対するメモリ用チップ12の傾きを抑制するためには、絶縁膜9がメモリ用チップ12の周縁を跨って存在するように絶縁膜9及び開口9bを形成する必要がある。即ち、絶縁膜9の平面サイズをメモリ用チップ12の平面サイズよりも大きくし、開口9aの平面サイズをメモリ用チップ12の平面サイズよりも小さくする。本実施形態において、絶縁膜9は配線基板2の一主面のほぼ全域を覆う平面サイズで形成され、開口9bはメモリ用チップ12の平面サイズよりも小さい平面サイズで形成されている。また、開口9bは配線基板2の接続部6aの配列方向に沿う長方形の平面形状で形成されている。

【0059】次に、MCM1の製造方法について、図11乃至図15を用いて説明する。図11は多段バンブ構造のスタッドバンブ形成工程を説明するための模式的断面図であり、図12はバッファ用チップ実装工程を説明するための模式的断面図であり、図13はバッファ用チップ実装工程を説明するための模式的断面図であり、図14はメモリ用チップ実装工程を説明するための模式的断面図であり、図15はメモリ用チップ実装工程を説明するための模式的断面図である。

【0060】まず、配線基板2上に実装する電子部品（10、12、14、16、17、18、19）を準備する。

【0061】次に、バッファ用チップ10、メモリ用チップ12、制御用チップ14及び演算用チップ16の各電極パッド上に、ボールボンディング法でスタッドバンブを形成する。バッファ用チップ10及び演算用チップ16においては単段バンブ構造のスタッドバンブを形成する。メモリ用チップ12及び制御用チップ14においては多段バンブ構造（本実施形態では二段）のスタッドバンブを形成する。二段バンブ構造のスタッドバンブは、メモリ用チップ12で説明すると、まず、ヒートステージ25上にメモリ用チップ12を装着し、その後、図11(a)に示すように、メモリ用チップ12の電極

18

パッド12a上にボールボンディング法で基部バンブ13aを形成し、その後、図11(b)に示すように、基部バンブ13a上に重ねバンブ13bを形成することによって得られる。重ねバンブ13b上に更に重ねバンブを形成することにより、三段バンブ構造又はそれ以上の多段バンブ構造のスタッドバンブを形成することもできる。

【0062】次に、配線基板2の一主面2Xのバッファ用チップ搭載領域に、シート状（フィルム状）に加工された異方導電性樹脂20を貼り付ける。異方導電性樹脂20としては、例えば、エポキシ系の熱硬化性樹脂に多数の導電性粒子が混入されたものを用いる。

【0063】次に、配線基板2をステージ26Aに装着し、その後、図12に示すように、配線基板2の一主面2Xのバッファ用チップ搭載領域上に、異方導電性樹脂20を介在して、バッファ用チップ10を装着する。バッファ用チップ10の装着は、その回路形成面10Xが配線基板2の一主面2Xと向かい合う状態で行う。

【0064】次に、配線基板2をヒートステージ26Bに装着し、その後、図13に示すように、加熱しながらツール27でバッファ用チップ10を圧着して配線基板2の接続部5aにスタッドバンブ11を接続し、その後、異方導電性樹脂20が硬化するまで圧着状態を保持する。この時、スタッドバンブ11は配線基板2の接続部5aに圧接される。この工程において、配線基板2の一主面2Xから接続部5aまでの深さをスタッドバンブ11の高さよりも浅くしておくことにより、配線基板2の接続部5aにおいて、スタッドバンブ11が接続された部分にバッファ用チップ11の圧着力によって凹部が形成される。また、この凹部の内部において、配線基板2の接続部5aとスタッドバンブ11とが接続される。また、凹部は接続部5aと柔軟層4の弾性変形によって形成されるため、スタッドバンブ11には接続部5a及び柔軟層4の弾性力が作用する。

【0065】次に、バッファ用チップ11と同様の方法により、配線基板2の一主面2Xの演算用チップ搭載領域に演算用チップ16を実装する。

【0066】次に、配線基板2の一主面2Xのバッファ用チップ搭載領域に、シート状（フィルム状）に加工された異方導電性樹脂20を貼り付ける。異方導電性樹脂20としては、例えば、エポキシ系の熱硬化性樹脂に多数の導電性粒子が混入されたものを用いる。

【0067】次に、配線基板2をステージ26Aに装着し、その後、図14に示すように、配線基板2の一主面2Xのメモリ用チップ搭載領域上に、異方導電性樹脂20を介在して、メモリ用チップ12を装着する。メモリ用チップ12の装着は、その回路形成面12Xが配線基板2の一主面2Xと向かい合う状態で行う。

【0068】次に、配線基板2をヒートステージ26Bに装着し、その後、図15に示すように、加熱しながら

(11)

特開2002-76057

19

20

ツール28でメモリ用チップ12を圧着して配線基板2の接続部6aにスタッドバンパ13を接続し、その後、異方導電性樹脂20が硬化するまで圧着状態を保持する。この時、スタッドバンパ13は配線基板2の接続部6aに圧接される。この工程において、パッファ用チップ10と同様に、スタッドバンパ11が接続された接続部6aの部分にメモリ用チップ12の圧着力によって凹部が形成される。また、この凹部の内部において、配線基板2の接続部6aとスタッドバンパ13とが接続される。また、凹部は接続部6aと柔軟層4の弾性変形によって形成されるため、スタッドバンパ13には接続部6a及び柔軟層4の弾性力が作用する。

【0069】また、この工程において、スタッドバンパ13は多段バンパ構造となっているため、パッド配列ピッチが狭いメモリ用チップ12においても、配線基板2の接続部6aにスタッドバンパ13を接続することができる。

【0070】また、この工程において、接続部6aは、接続部6aよりも上層に形成された絶縁膜9によって、配線基板2の一主面2Xよりも深い位置に配置されているため、配線基板2の一主面2Xから接続部6aまでの深さによってスタッドバンパ13の高さが吸収され、これに伴って配線基板2の一主面2Xと半導体チップ12の回路形成面12Xとの間の間隔が狭くなる。配線基板2の一主面2Xとメモリ用チップ12の回路形成面12Xとの間隔が狭くなれば、例えば実装工程の途中において、メモリ用チップ12が傾くことがあっても配線基板2の一主面2Xがメモリ用チップ12を支えるため、実装後の構造に問題が出るほどメモリ用チップ12が傾くことを防ぐことができる。

【0071】また、チップを接着固定する接着用樹脂中に例えば導電性粒子や、シリカのフィラーなど、粒状の物質が含まれる場合には、配線基板2の一主面2Xとメモリ用チップ12の回路形成面12Xとの間に前記粒状の物質が挟まれるため、半導体チップ実装工程におけるメモリ用チップ12の傾きはより抑制される。

【0072】また、半導体チップ実装工程における接着用樹脂(20)の粘度が高い場合には、接着用樹脂の流動に対する抵抗性によってメモリ用チップ12の傾きは抑制される。従って、これらの何れかの機構により、配線基板2の一主面2Xに対するメモリ用チップ12の傾きを抑制することができる。

【0073】次に、メモリ用チップ13と同様の方法により、配線基板2の一主面2Xの制御用チップ搭載領域に制御用チップ14を実装する。このパッド配列ピッチが狭い制御用チップ14においても、配線基板2の接続部7aにスタッドバンパ15を接続することができる。

【0074】なお、チップを実装する順番は、これに限定されるものではなく、例えばメモリ用チップや制御用チップを先に実装してもよい。

【0075】次に、配線基板2の電極パッド8上にペースト状の半田21を塗布し、その後、各電極パッド上に能動部品(17、18、19)を配置し、その後、熱処理を施してペースト状の半田21を溶融して、能動部品の電極と配線基板2の電極パッドとを固着する。

【0076】次に、配線基板2の一主面と対向する裏面に配置された複数の電極パッドの夫々の表面上に接続用端子としてボール形状の半田バンパ22を形成することにより、本実施形態のMCM1がほぼ完成する。

【0077】このように、本実施形態によれば、以下の効果が得られる。

(1) MCM1において、複数の接続部6aは、配線基板2の一主面2Xから深さ方向に向かって配線基板2の一主面2Xよりも深い位置に配置されている。このような構成とすることにより、バランスがとれないバンパ配列のメモリ用チップ12をフリップチップ実装する時、配線基板2の一主面2Xから接続部6aまでの深さによってスタッドバンパ13の高さが吸収され、これに伴って配線基板2の一主面2Xと半導体チップ12の回路形成面12Xとの間の間隔が狭くなるため、配線基板2の一主面2Xに対するメモリ用チップ12の傾きを抑制することができる。

【0078】(2) MCM1において、配線基板2は、その一主面2Xに形成された絶縁膜9と、この絶縁膜9に形成された開口9bと、この開口9bの底部に配置された接続部6aとを有する構成となっている。絶縁膜9は半田付け部品(本実施形態では17、18、19)に対して実装時の半田濡れ広がりを抑制し、フリップチップ部品(本実施形態では10、12、14)に対しては実装時における接着用樹脂との接着力の確保を図る。このような構成とすることにより、配線基板2の一主面2Xから深さ方向に向かって配線基板2の一主面2Xよりも深い位置に複数の接続部6aが配置された配線基板2を容易に形成することができるので、大幅なコストの増加を招くことなく、バランスがとれないバンパ配列のメモリ用チップ12を配線基板2の一主面2X上にフリップチップ方式で実装したMCM1を提供することができる。

【0079】(3) MCM1において、パッド配列ピッチが狭いメモリ用チップ12及び制御用チップ14のスタッドバンパ(13、15)は、多段バンパ構造となっている。このような構成とすることにより、パッド配列ピッチが狭いメモリ用チップ12及び制御用チップ14においても、配線基板2の接続部(6a、7a)にスタッドバンパ(13、15)を接続することができるため、パッド配列ピッチが異なるパッファ用チップ10、メモリ用チップ12、制御用チップ14及び演算用チップ16を一つの配線基板2上に実装することができる。

【0080】なお、本実施形態では、チップのバランスがとれないバンパ配列として、中央バンパ配列を例にし

(12)

特開2002-76057

21

22

て説明したが、この他に、チップのバランスがとれないバンプ配列としては、図16に示すものがある。図16(a)は、中央バンプ配列において、複数のスタッドバンプ13を千鳥状に配列したバンプ配列である。図16(b)は、中央バンプ配列において、複数のスタッドバンプ13を段違いに配列したバンプ配列である。図16(c)は、一辺バンプ配列である。また、この他に、チップの回路形成面を一方向に三等分した三つの領域のうち何れかの領域にスタッドバンプが配置されている場合や、バンプを結んで形成される多角形の外側に半導体チップの重心がある場合においてもチップのバランスがとれない。

【0081】また、本実施形態では、スタッドバンプ13を二段バンプ構造にしてスタッドバンプ13の高さを稼いだ例について説明したが、配線基板2の一主面2Xから接続部6aまでの深さや、電極パッド12aの平面サイズの大きさに応じて、図17に示すように、スタッドバンプ13は、電極パッド12aに接続された基部バンプ13aと、この基部バンプ13aに積み重ねられた重ねバンプ13bと、この重ねバンプ13bに積み重ねられた重ねバンプ13cとを有する三段バンプ構造にしてもよい。

【0082】また、本実施形態では、バンプ径がほぼ同一の基部バンプ13a及び重ねバンプ13bで二段バンプ構造のスタッドバンプ13を形成した例について説明したが、図18に示すように、バンプ径が異なる基部バンプ13a及び重ねバンプ13bで二段構造のスタッドバンプ13を形成してもよい。この場合、ボールボンディング法に基づいてスタッドバンプを形成する時に、ワイヤ径の異なるAuワイヤを用いることで、バンプ径が異なる基部バンプ13a及び重ねバンプ13bを得ることができる。

【0083】また、本実施形態では、半導体チップの電極パッド上に形成される突起状電極としてスタッドバンプを用いた例について説明したが、これに限定されるものではなく、例えばPb-Sn組成の半田バンプを用いてもよい。この場合、半導体チップの実装時における熱圧着温度よりも融点が高い材料からなる半田バンプを用いる。

【0084】また、本実施形態では、半導体チップの電極パッドと配線基板の接続部との間に介在される突起状電極を半導体チップの電極パッド上に予め形成した例について説明したが、突起状電極は配線基板の接続部上に予め形成してもよい。

【0085】また、本実施形態では、配線基板に半導体チップを接着固定する接着用樹脂としてシート状の異方導電性樹脂を用いた例について説明したが、これに限定されるものではなく、例えばペースト状の異方導電性樹脂(ACP: Anisotropic Conductive Paste)やシート状の非導電性樹脂(NCF: Non Conductive Film)

m)を用いてもよい。

【0086】(実施形態2)本実施形態では、耐湿試験における接続信頼性の向上について、図19及び図20を用いて説明する。図19は本発明の実施形態2であるMCMにおいて、メモリ用チップの実装状態を示す模式的断面図であり、図20は図19の一部を拡大した模式的断面図である。なお、本実施形態のスタッドバンプ13は単段構造となっている。

【0087】異方導電性樹脂20を用いたフリップチップ実装構造では、耐湿性試験における接続信頼性の確保が重要である。本発明者等は、配線基板2の絶縁膜9の膜厚を変えて耐湿性の評価を行った結果、絶縁膜9の厚さを薄くすることによって、配線基板2の接続部6aとスタッドバンプ13との接続寿命が向上することがわかった。この理由は次のように考えられる。

【0088】ACF実装方式では、メモリ用チップ12を例にあげた場合、配線基板2上に異方導電性樹脂20を介在してメモリ用チップ12を配置し、その後、加熱しながら配線基板2にメモリ用チップ12を圧着して、配線基板2にメモリ用チップ12を接着固定すると共に、配線基板2の接続部6aにスタッドバンプ13を電気的に接続している。この時、絶縁膜9の開口9bの内部に異方導電性樹脂20が充填される。硬化後の異方導電性樹脂20は、吸湿によって体積が膨張する特性がある。スタッドバンプの開口9bの中に充填された異方導電性樹脂20は、配線基板2の一主面2Xとメモリ用チップ12の回路形成面12Xとの間に充填された異方導電性樹脂20と比較して厚みが大きいため、吸湿に伴う膨張によって生じる変位量も大きくなる。そして、異方導電性樹脂20の吸湿膨張による配線基板2の一主面2Xとメモリ用チップ12の回路形成面12Xとの変位に、配線基板2の柔軟層4の弾性変形の回復が追従できなくなったときにスタッドバンプ13と配線基板2の接続部6aとの接続不良が生じる。開口9bの深さは絶縁膜9の厚さで律則されるため、絶縁膜9の厚さが薄くなるに従って開口9bの深さが浅くなり、これに伴って開口9bの内部における異方導電性樹脂20の体積が小さくなる。これにより、絶縁膜9の厚さを薄くすることによって、配線基板の接続部6aとスタッドバンプ13との接続寿命樹脂が向上すると考える。

【0089】温度85℃/湿度85%の条件下で評価した結果の一例を示す。

(1) 配線6上における絶縁膜9の厚さ9t(図20参照)を25[μm]とした場合、接続寿命は96hであった。

(2) 配線6上における絶縁膜9の厚さ9tを20[μm]とした場合、接続寿命は500h以上であった。

(3) 配線6上における絶縁膜9の厚さ9tを15[μm]とした場合、接続寿命は500h以上であった。

このようなことから、配線6上における絶縁膜9の厚さ

(13)

特開2002-76057

23

24

9 tは20 [μm] 以下とすることが望ましい。

【0090】なお、絶縁膜9には多数のフィラーが混入されている場合があるが、このような場合、混入されたフィラーのうちの最も粒径が大きいフィラーよりも、配線6上における絶縁膜9の厚さ9 tを厚くする必要がある。最も粒径が大きいフィラーよりも絶縁膜9の厚さ9 tを薄くした場合、絶縁膜9からフィラーが飛び出してしまふ。

【0091】また、このように信頼性向上のためにスタッドバンプ13を小さくし、それに伴ってチップ下の絶縁膜9の厚さ9 tを薄くした場合、絶縁膜9の厚さ9 tが周囲に形成される半田実装部品の半田の濡れ広がりを制御するために適さないほど薄くなった場合には、絶縁膜9の厚さが、配線基板2上の場所によって最適のように変化をつけてもよい。

【0092】以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0093】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0094】本発明によれば、配線基板の一主面に対する半導体チップの傾きを抑制することができる。

【0095】本発明によれば、配列ピッチが異なる複数種類の半導体チップを同一基板上に実装することができる。

【図面の簡単な説明】

【図1】本発明の実施形態1であるMCM（電子装置）の模式的平面図である。

【図2】図1のMCMの模式的底面図である。

【図3】図1のMCMに組み込まれたバッファ用チップの実装状態を示す模式的断面図である。

【図4】図1のMCMに組み込まれたメモリ用チップの実装状態を示す模式的断面図である。

【図5】図1のMCMに組み込まれた制御用チップの実装状態を示す模式的断面図である。

【図6】図1のMCMに組み込まれた容量素子の実装状態を示す模式的断面図である。

【図7】図1のMCMに組み込まれたバッファ用チップ、メモリ用チップ及び制御用チップのパッド配列を部分的に示す模式的平面図である。

【図8】図1のMCMに組み込まれたバッファ用チップ、メモリ用チップ及び制御用チップの概略構成を示す模式的断面図である。

【図9】図1のMCMに組み込まれたメモリ用チップの概略構成を示す模式的平面図である。

【図10】図1のMCMに用いられた配線基板の一部を示す模式的断面図である。

【図11】本発明の実施形態1であるMCMの製造において、メモリ用チップの電極パッド上にスタッドバンプを形成する工程を説明するための模式的断面図である。

【図12】本発明の実施形態1であるMCMの製造において、バッファ用チップ実装工程を説明するための模式的断面図である。

【図13】本発明の実施形態1であるMCMの製造において、バッファ用チップ実装工程を説明するための模式的断面図である。

【図14】本発明の実施形態1であるMCMの製造において、メモリ用チップ実装工程を説明するための模式的断面図である。

【図15】本発明の実施形態1であるMCMの製造において、メモリ用チップ実装工程を説明するための模式的断面図である。

【図16】本発明の実施形態1であるMCMにおいて、他のバンプ配列パターンを示すメモリ用チップの模式的平面図である。

【図17】本発明の実施形態1の第1変形例であるMCMに組み込まれたメモリ用チップの実装状態を示す模式的断面図である。

【図18】本発明の実施形態1の第2変形例であるMCMに組み込まれたメモリ用チップの実装状態を示す模式的断面図である。

【図19】本発明の実施形態2であるMCMに組み込まれたメモリ用チップの実装状態を示す模式的断面図である。

【図20】図20の一部を拡大した模式的断面図である。

【図21】従来のDRAMチップの平面レイアウト図である。

【符号の説明】

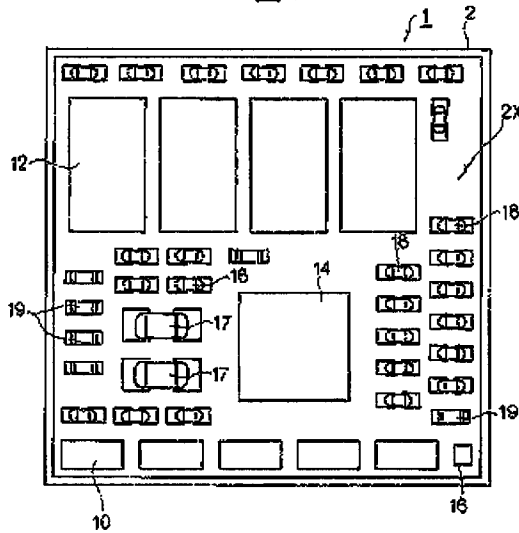
1…MCM（電子装置）、2…配線基板、3…リジット基板、4…柔軟層、5、6、7…配線、5a、6a、7a…接続部、8…電極パッド、9…絶縁膜、10…バッファ用チップ、12…メモリ用チップ、14…制御用チップ、10a、12a、14a…電極パッド、11、13、15…スタッドバンプ、13a、15a…基部バンプ、13b、13c、15b、15c…重ねバンプ、16…演算用チップ、17、18…容量素子、19…抵抗素子、20…異方導電性樹脂、21…半田材、22…半田バンプ、25、26B…ヒートステージ、27、28…圧着用ツール。

(14)

特開2002-76057

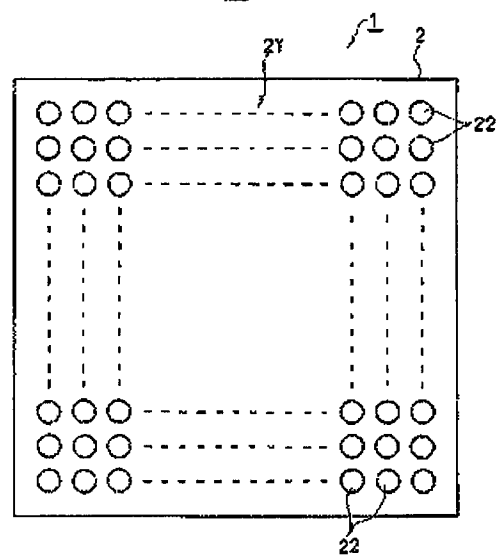
【図1】

図1



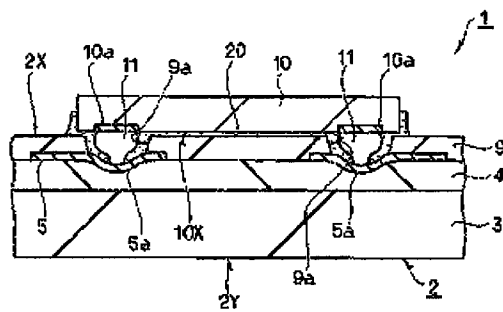
【図2】

図2



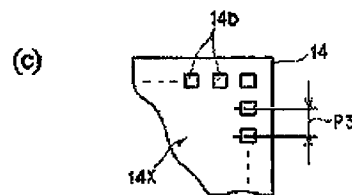
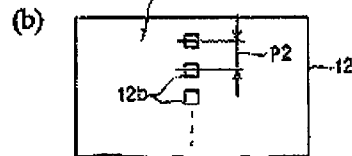
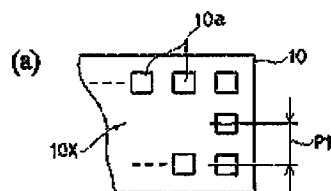
【図3】

図3



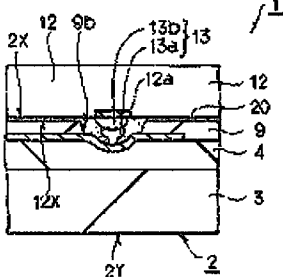
【図7】

図7

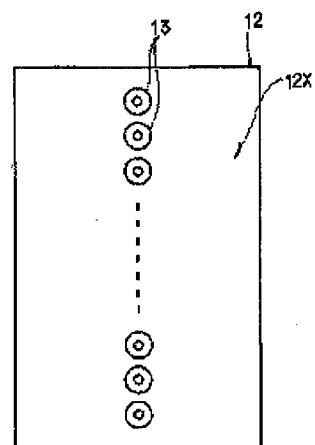


【図18】

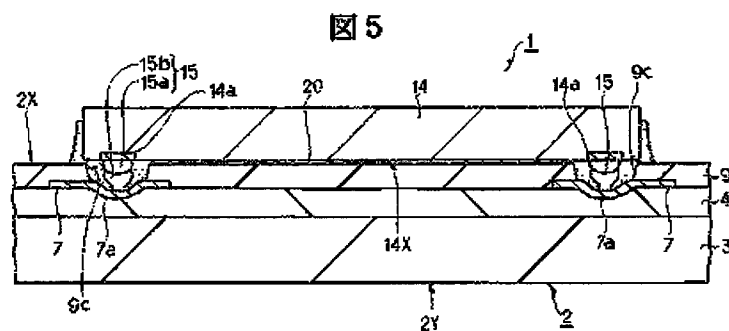
図18



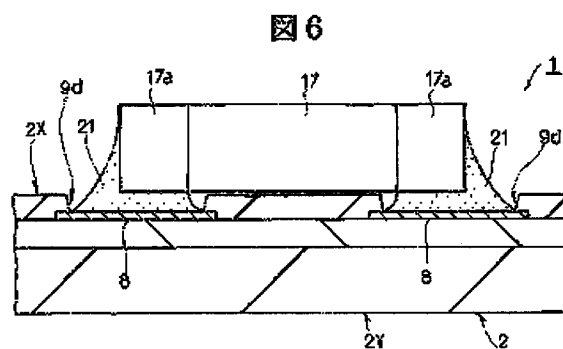
【图9】



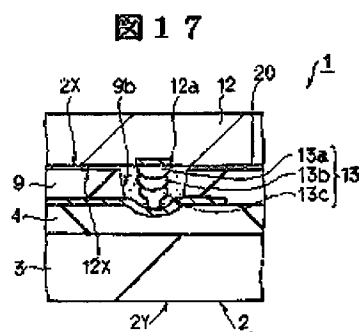
【図5】



【图6】



【 1 7 】



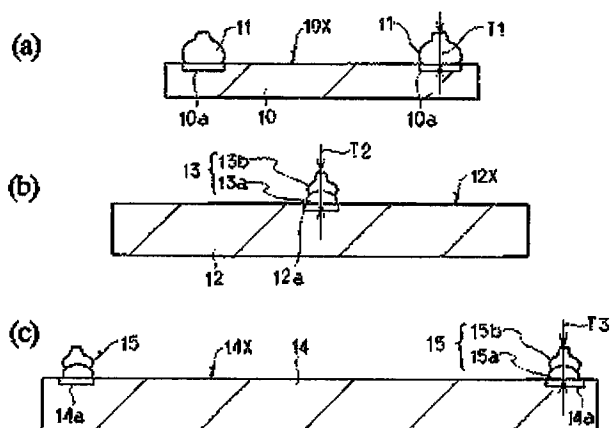


(16)

特開2002-76057

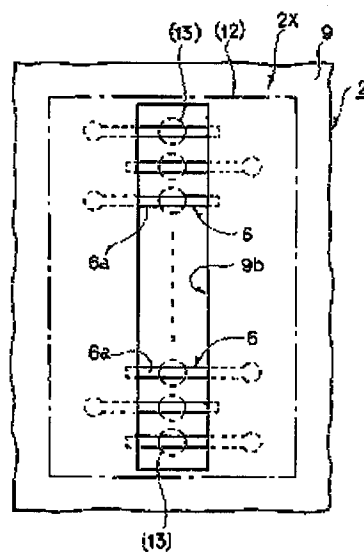
【図8】

図8



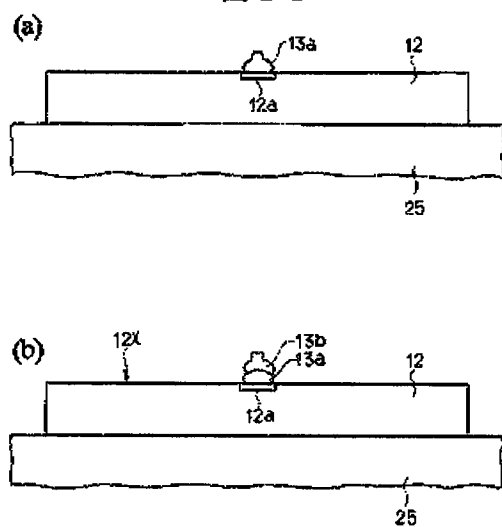
【図10】

図10



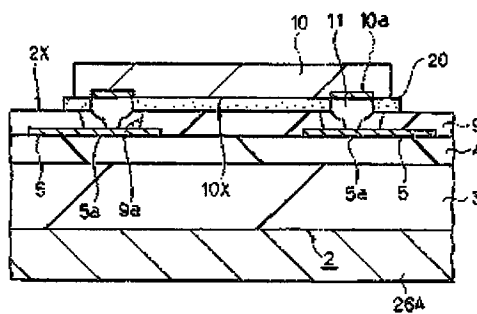
【図11】

図11



【図12】

図12



(17)

特開2002-76057

【図13】

【図14】

図13

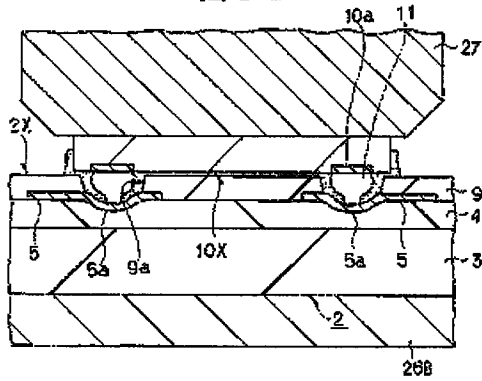
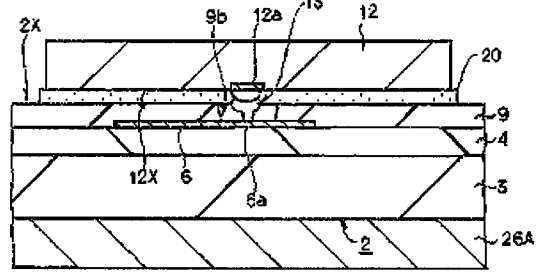
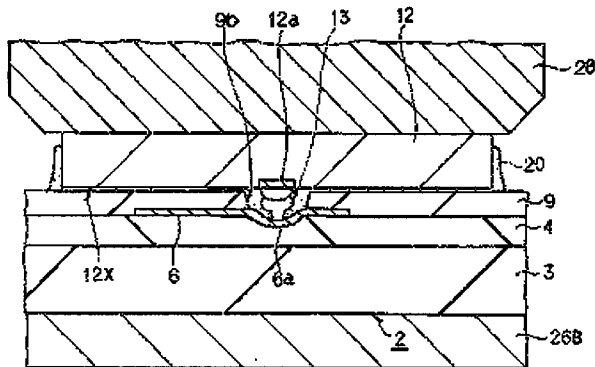


図14



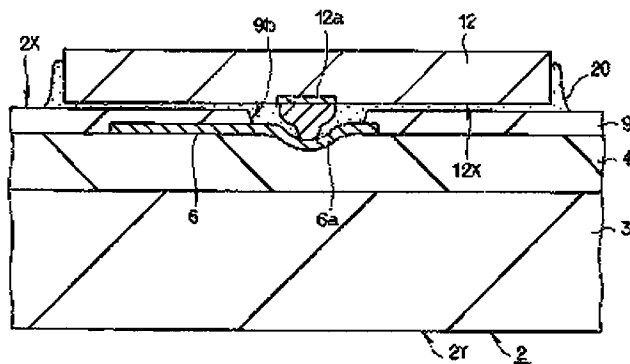
【図15】

図15



【図19】

図19

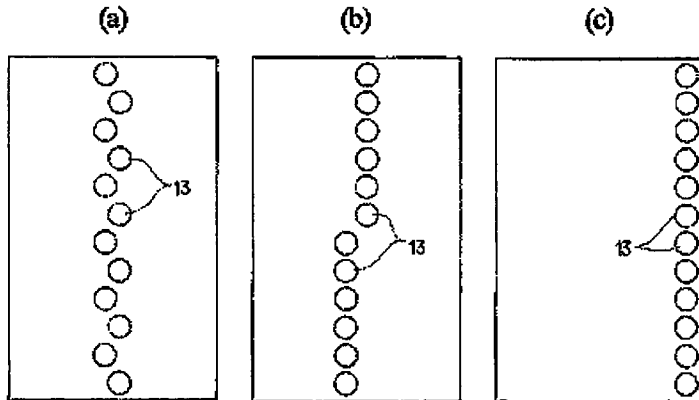


(18)

特開2002-76057

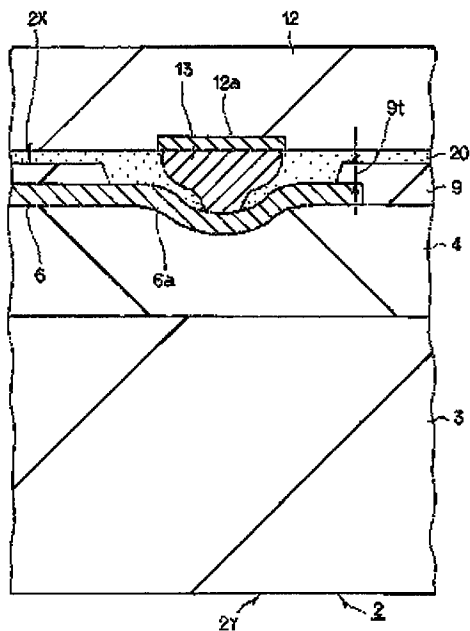
【図16】

図16



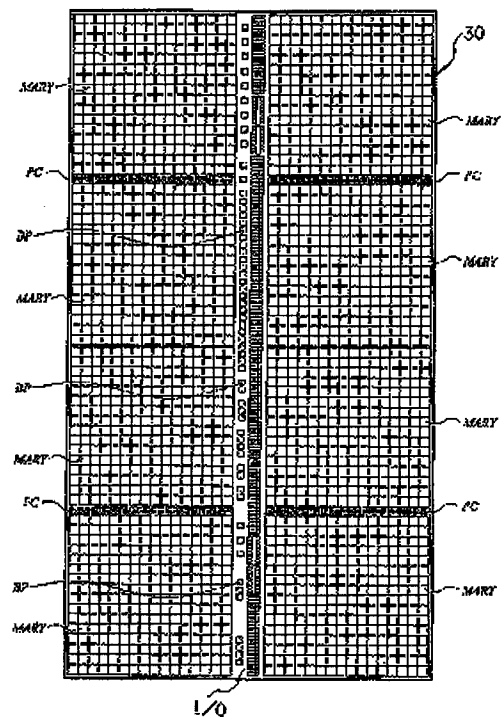
【図20】

図20



【図21】

図21



(19)

特開2002-76057

フロントページの続き

(72)発明者 岸川 純夫  
 東京都小平市上水本町五丁目20番1号 株  
 式会社日立製作所半導体グループ内  
 (72)発明者 ▲角▼ 義之  
 東京都小平市上水本町五丁目20番1号 株  
 式会社日立製作所半導体グループ内  
 (72)発明者 田口 一之  
 東京都小平市上水本町五丁目20番1号 株  
 式会社日立製作所半導体グループ内

(72)発明者 内藤 孝洋  
 東京都小平市上水本町五丁目20番1号 株  
 式会社日立製作所半導体グループ内  
 (72)発明者 佐藤 俊彦  
 東京都小平市上水本町五丁目20番1号 株  
 式会社日立製作所半導体グループ内  
 Fターム(参考) 5F044 KK12 LL07 LL09 LL11 QQ02  
 QQ04 RR01 RR18 RR19  
 5F051 AA01 BA03 CA03 CB03 FA02

JP 2002-76057 A5 2005.2.24

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】 第 7 部門第 2 区分  
 【発行日】 平成 17 年 2 月 24 日 (2005.2.24)

【公開番号】 特開 2002-76057 (P2002-76057A)  
 【公開日】 平成 14 年 3 月 15 日 (2002.3.15)  
 【出願番号】 特願 2000-262511 (P2000-262511)  
 【国際特許分類第 7 版】

H 0 1 L 21/60

H 0 1 L 21/56

H 0 1 L 25/04

H 0 1 L 25/18

【F I】

H 0 1 L 21/60 3 1 1 S

H 0 1 L 21/56 C

H 0 1 L 21/92 6 0 4 J

H 0 1 L 25/04 Z

【手続補正書】

【提出日】 平成 16 年 3 月 16 日 (2004.3.16)

【手続補正 1】

【補正対象書類名】 明細書

【補正対象項目名】 特許請求の範囲

【補正方法】 変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

一主面に複数の電極パッドを有する半導体チップと、

一主面に複数の接続部を有する配線基板と、

前記半導体チップの前記各電極パッドと前記配線基板の前記各接続部との間に配置され、かつ夫々を電気的に接続する複数の突起状電極であって、前記配線基板の一主面に対して前記半導体チップのバランスがとれない配列で配置された複数の突起状電極とを有し、前記複数の接続部は、前記配線基板の一主面から深さ方向に向かって前記配線基板の一主面よりも深い位置に配置されていることを特徴とする電子装置。

【請求項 2】

請求項 1 に記載の電子装置において、

前記配線基板は、その一主面に形成された絶縁膜と、前記絶縁膜に形成された開口とを更に有し、

前記複数の接続部は、前記開口の底部に配置されていることを特徴とする電子装置。

【請求項 3】

請求項 2 に記載の電子装置において、

前記絶縁膜は、前記半導体チップの周縁を跨って存在していることを特徴とする電子装置。

【請求項 4】

請求項 2 に記載の電子装置において、

前記開口の平面サイズは、前記半導体チップの平面サイズよりも小さく、

前記絶縁膜の平面サイズは、前記半導体チップの平面サイズよりも大きいことを特徴とする電子装置。

【請求項 5】

請求項 1 に記載の電子装置において、

(2)

JP 2002-76057 A5 2005.2.24

前記半導体チップは、接着用樹脂を介在して前記配線基板に接着されており、  
前記突起状電極は、前記配線基板の接続部に圧接されていることを特徴とする電子装置。

【請求項6】

請求項5に記載の電子装置において、  
前記接着用樹脂は、絶縁性樹脂に多数の導電性粒子が混入された異方導電性樹脂であることを特徴とする電子装置。

【請求項7】

請求項1に記載の電子装置において、  
前記複数の突起状電極の夫々はスタッドパンプであることを特徴とする電子装置。

【請求項8】

請求項1に記載の電子装置において、  
前記複数の突起状電極の夫々は半田パンプであることを特徴とする電子装置。

【請求項9】

請求項1に記載の電子装置において、  
前記配線基板は、多層配線構造からなり、  
前記複数の接続部の夫々は、前記配線基板の最上層の配線層に形成された複数の配線の夫々の一部分であることを特徴とする電子装置。

【請求項10】

請求項1に記載の電子装置において、  
前記半導体チップは、平面が方形で形成され、  
前記複数の突起状電極は、前記半導体チップの一主面を一方に三等分した三つの領域のうちの何れかの領域に配置されていることを特徴とする電子装置。

【請求項11】

請求項10に記載の電子装置において、  
前記複数の突起状電極は、一方に沿って一列状に配置されていることを特徴とする電子装置。

【請求項12】

請求項1に記載の電子装置において、  
前記複数の突起状電極は、一方に沿って一列状に配置され、かつ前記一方に対して交差する方向には配置されていないことを特徴とする電子装置。

【請求項13】

一主面に一方に沿って一列状に配置された複数の電極パッドと、前記各電極パッド上に夫々個別に配置された複数の突起状電極とを有する半導体チップと、  
一主面から深さ方向に向かって前記一主面よりも深い位置に、前記複数の突起状電極と対応して配置された複数の接続部を有する配線基板とを準備する工程と、  
前記配線基板の一主面と前記半導体チップの一主面との間に接着用樹脂を介在し、前記配線基板の一主面に前記半導体チップを圧着して、前記各接続部に前記各突起状電極を夫々電気的に接続する工程とを備えたことを特徴とする電子装置の製造方法。

【請求項14】

請求項13に記載の電子装置の製造方法において、  
前記配線基板は、その一主面に形成された絶縁膜と、前記絶縁膜に形成された開口とを更に有し、  
前記複数の接続部は、前記開口の底部に配置されていることを特徴とする電子装置の製造方法。

【請求項15】

請求項14に記載の電子装置の製造方法において、  
前記絶縁膜は、前記半導体チップの周縁を跨って存在していることを特徴とする電子装置の製造方法。

【請求項16】

請求項14に記載の電子装置において、

(3)

JP 2002-76057 A5 2005.2.24

前記開口の平面サイズは、前記半導体チップの平面サイズよりも小さく、  
前記絶縁膜の平面サイズは、前記半導体チップの平面サイズよりも大きいことを特徴とする電子装置の製造方法。

【請求項 17】

一主面に第1配列ピッチで配置された複数の第1電極パッドを有する第1半導体チップと、  
一主面に前記第1配列ピッチよりも小さい第2配列ピッチで配置された複数の第2電極パッドを有する第2半導体チップと、  
一主面の第1領域に、前記複数の第1電極パッドと対応して配置された複数の第1接続部と、前記一主面の第1領域と異なる第2領域に、前記複数の第2電極パッドと対応して配置された複数の第2接続部とを有する配線基板と、  
前記各第1電極パッドと前記各第1接続部との間に配置され、かつ夫々を電氣的に接続する複数の第1突起状電極と、  
前記各第2電極パッドと前記各第2接続部との間に配置され、かつ夫々を電氣的に接続する複数の第2突起状電極とを有し、  
前記複数の第1接続部及び前記複数の第2接続部は、前記配線基板の一主面から深さ方向に向かって前記配線基板の一主面よりも深い位置に配置され、  
前記複数の第2突起状電極は、前記複数の第1突起状電極よりも段数が多い多段バンパ構造になっていることを特徴とする電子装置。

【請求項 18】

請求項 17 に記載の電子装置において、  
前記配線基板は、その一主面に形成された絶縁膜と、前記一主面の第1領域において前記絶縁膜に形成された第1開口と、前記一主面の第2領域において前記絶縁膜に形成された第2開口とを更に有し、  
前記複数の第1接続部は、前記第1開口の底部に配置され、  
前記複数の第2接続部は、前記第2開口の底部に配置されていることを特徴とする電子装置。

【請求項 19】

請求項 17 に記載の電子装置において、  
前記第2突起状電極は、前記第2半導体チップの第2電極パッドに接続された基部バンパと、前記基部バンパに積み重ねられた重ねバンパとを有する多段バンパ構造になっていることを特徴とする電子装置。

【請求項 20】

請求項 17 に記載の電子装置において、  
前記第2突起状電極は、前記第2半導体チップの第2電極パッドに接続された基部バンパと、前記基部バンパに積み重ねられた第1重ねバンパと、前記第1重ねバンパに積み重ねられた第2重ねバンパとを有する多段バンパ構造になっていることを特徴とする電子装置。

【請求項 21】

請求項 17 に記載の電子装置において、  
前記第1及び第2突起状電極は、スタッドバンパであることを特徴とする電子装置。

【請求項 22】

請求項 17 に記載の電子装置において、  
前記配線基板は、多層配線構造からなり、  
前記複数の第1及び第2接続部は、前記配線基板の最上層の配線層に形成された複数の配線の夫々の一部分であることを特徴とする電子装置。

【請求項 23】

請求項 17 に記載の電子装置において、  
前記第1及び第2半導体チップは、接着用樹脂を介して前記配線基板に接着されていることを特徴とする電子装置。

(4)

JP 2002-76057 A5 2005.2.24

## 【請求項 2 4】

請求項 2 3 に記載の電子装置において、  
前記接着用樹脂は、絶縁性樹脂に多数の導電性粒子が混入された異方導電性樹脂であることを特徴とする電子装置。

## 【請求項 2 5】

一主面に第 1 配列ピッチで配置された複数の第 1 電極パッドと、前記各第 1 電極パッドに夫々個別に接続された複数の第 1 突起状電極とを有する第 1 半導体チップと、  
一主面に前記第 1 配列ピッチよりも小さい第 2 配列ピッチで配置された複数の第 2 電極パッドと、前記各第 2 電極パッドに夫々個別に接続され、かつ前記第 1 突起状電極よりも段数が多い多段バンパ構造からなる複数の第 2 突起状電極とを有する第 2 半導体チップと、  
一主面に形成された絶縁膜と、前記一主面の第 1 領域において前記絶縁膜に形成された第 1 開口と、前記一主面の第 1 領域と異なる第 2 領域において前記絶縁膜に形成された第 2 開口と、前記第 1 開口の底部に前記複数の第 1 突起状電極と対応して配置された複数の第 1 接続部と、前記第 2 開口の底部に前記複数の第 2 突起状電極と対応して配置された複数の第 2 接続部とを有する配線基板とを準備する工程と、  
前記配線基板の一主面の第 1 領域と前記第 1 半導体チップの一主面との間に第 1 接着用樹脂を介在し、前記配線基板の一主面の第 1 領域に前記第 1 半導体チップを圧着して、前記各第 1 接続部に前記各第 1 突起状電極を夫々電氣的に接続する工程と、  
前記配線基板の一主面の第 2 領域と前記第 2 半導体チップの一主面との間に第 2 接着用樹脂を介在し、前記配線基板の一主面の第 2 領域に前記第 2 半導体チップを圧着して、前記各第 2 接続部に前記各第 2 突起状電極を夫々電氣的に接続する工程とを備えたことを特徴とする電子装置の製造方法。

## 【請求項 2 6】

一主面に第 1 電極パッドを有する第 1 半導体チップと、  
一主面に前記第 1 電極パッドよりも平面積が小さい第 2 電極パッドを有する第 2 半導体チップと、  
一主面に形成された絶縁膜と、前記一主面の第 1 領域において前記絶縁膜に形成された第 1 開口と、前記一主面の第 1 領域と異なる第 2 領域において前記絶縁膜に形成された第 2 開口と、前記第 1 開口の底部に配置された第 1 接続部と、前記第 2 開口の底部に配置された第 2 接続部とを有する配線基板と、  
前記第 1 電極パッドと前記第 1 接続部との間に配置され、かつ夫々を電氣的に接続する第 1 突起状電極と、  
前記第 2 電極パッドと前記第 2 接続部との間に配置され、かつ夫々を電氣的に接続する第 2 突起状電極とを有し、  
前記第 2 突起状電極は、前記第 1 突起状電極よりも段数が多い多段バンパ構造になっていることを特徴とする電子装置。

## 【請求項 2 7】

一主面に電極パッドを有する半導体チップと、  
一主面の表層部に接続部を有する配線基板と、  
前記半導体チップの前記電極パッドと前記配線基板の前記接続部との間に配置され、かつ夫々を電氣的に接続する突起状電極とを有し、  
前記接続部は、前記配線基板の一主面から深さ方向に向かって前記配線基板の一主面よりも深い位置に配置され、  
前記突起状電極は、多段バンパ構造になっていることを特徴とする電子装置。

## 【請求項 2 8】

一主面に電極パッドを有する半導体チップと、  
一主面に形成された絶縁膜と、前記絶縁膜に形成された開口と、一部分が前記開口の底部に配置され、かつ他の部分が前記絶縁膜で覆われた配線とを有する配線基板と、  
前記電極パッドと前記配線の一部との間に配置され、かつ夫々を電氣的に接続する突起状電極と、



(5)

JP 2002-76057 A5 2005.2.24

前記半導体チップと配線基板との間及び前記開口の内部に配置された接着用樹脂とを有し、  
前記配線の他の部分上における前記絶縁膜の厚さが20 [ $\mu$ m] 以下となっていることを特徴とする電子装置。

【請求項29】

半導体チップと、  
前記半導体チップの一主面上に配置された複数の突起状電極と、  
配線基板と、  
前記配線基板の一主面に形成された開口と、  
前記開口の底部に形成されており、前記突起状電極の各々に接続する複数の接続部とを有し、  
前記複数の突起状電極は、前記半導体チップの一主面の第1の中心線の周囲に配置されていることを特徴とする電子装置。

【請求項30】

半導体チップと、  
前記半導体チップの一主面上に配置された複数の突起状電極と、  
配線基板と、  
前記配線基板の一主面に形成された開口と、  
前記開口の底部に形成されており、前記突起状電極の各々に接続する複数の接続部とを有し、  
前記複数の突起状電極は、前記半導体チップの一主面上の第1の直線の周囲に配置されていることを特徴とする電子装置。

【請求項31】

請求項30に記載の電子装置において、  
前記半導体チップの一主面は長方形であり、  
前記第1の直線は、前記半導体チップの一主面の2本の短い辺に交わることを特徴とする電子装置。

【請求項32】

半導体チップと、  
前記半導体チップの一主面上に配置された複数の突起状電極と、  
配線基板と、  
前記配線基板の一主面に形成された開口と、  
前記開口の底部に形成されており、前記突起状電極の各々に接続する複数の接続部とを有する電子装置であって、  
前記半導体チップの一主面上において、前記複数の突起状電極を結んで形成される多角形の内側に前記半導体チップの重心を含まないことを特徴とする電子装置。

【請求項33】

一主面に複数の電極パッドを有する半導体チップと、  
その表面に複数の接続部を有する配線基板と、  
前記複数の電極パッドと、前記複数の接続部の間に配置され、かつ一列に配列された複数の突起状電極とを有し、  
前記複数の接続部は、前記配線基板の一主面から深さ方向に向かって前記配線基板の一主面よりも深い位置に配置されており、  
前記半導体チップは、四角形の一主面を有しており、  
前記複数の突起状電極は、前記半導体チップの一主面を一方に三等分した三つの領域のうち何れかの領域に配置されていることを特徴とする電子装置。

【請求項34】

請求項33に記載の電子装置であって、  
前記半導体チップの一主面を一方に三等分した三つの領域のうち、前記突起状電極が配置された領域以外の二つの領域には、メモリアレイが形成されていることを特徴とする電

(5)

JP 2002-76057 A5 2005.2.24

子装置。

【請求項 35】

一主面と、前記一主面上に形成された電極パッド列と、前記一主面上に形成された D R A Mとを有する半導体チップと、

その表面に複数の接続部を有する配線基板と、

前記電極パッド列上に形成されており、前記接続部と電氣的に接続する複数の突起状電極とを有し、

前記 D R A Mが前記電極パッド列の両側に形成されたメモリアレイと、前記メモリアレイと前記電極パッド列との間に形成された入出力回路とを有しており、

前記複数の突起状電極は、前記半導体チップの一主面を一方向に三等分した三つの領域のうち何れかの領域に配置されていることを特徴とする電子装置。

【請求項 36】

請求項 35 に記載の電子装置であって、

前記 D R A Mは S D R A Mであることを特徴とする電子装置。

【請求項 37】

請求項 35 乃至請求項 36 のうちの何れか一項に記載の電子装置であって、

前記半導体チップは、四角形の一主面を有しており、

前記複数の突起状電極は、前記半導体チップの一主面を一方向に三等分した三つの領域のうち、真ん中の領域に配置されていることを特徴とする電子装置。

【請求項 38】

請求項 35 乃至請求項 37 のうちの何れか一項に記載の電子装置であって、

前記複数の接続部は、それぞれ凹部を有しており、

前記複数の突起状電極は、それぞれ前記凹部の内部で前記複数の接続部と接続していることを特徴とする電子装置。

【請求項 39】

請求項 38 に記載の電子装置であって、

前記凹部は、前記接続部及び前記配線基板の弾性変形によって形成されていることを特徴とする電子装置。